**4.2 基本工作原理和存储器特性**

**4.2.1浮动门原理**

浮动门非易失性半导体存储器件的基本工作原理是将电子存储在一个浮动的多晶硅门上，该门通过高质量的电介质与器件的其他部分隔离（图4.1）。由于漂浮的栅极至少控制了底层晶体管通道的一部分，该栅极上的电荷将直接影响到通道中的电流。换句话说，通过在流动门上储存电子，电流可以被关闭，导致第一逻辑状态（例如逻辑0）。另一方面，通过将电子从流动门上移走，通道将能够将电流从漏极输送到源极，从而获得第二逻辑状态（例如，逻辑1）。对于外部电流控制，使用了第二个门，称为控制门。这意味着存储单元的外部阈值电压必须由该控制门确定。总之，存储器晶体管的外部阈值电压(*VT* )可以被修改为在两个不同的值之间切换，而读出或感应操作使用位于这两个阈值电压之间的读出电压（图4.2）。

为了完整起见，这里必须补充两个主要的意见。

* + - 1. 在实践中，正在使用各种各样的存储器件，根据特定的器件结构，必须重新确定*外部阈值电压的定义*。

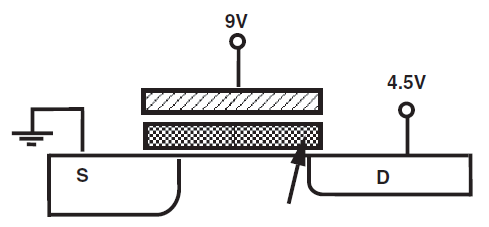


图4.1.具有典型（热电子）编程电压的示例性闪存器件的截面图。

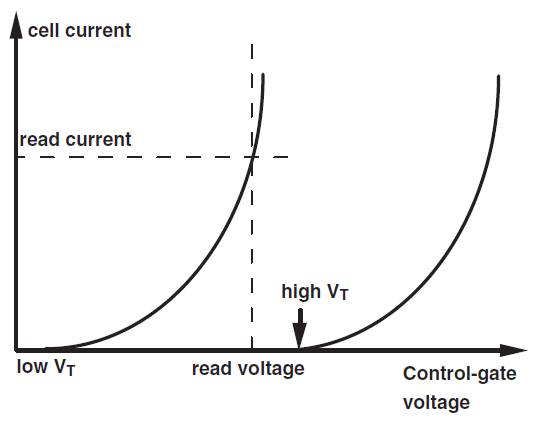


图4.2.ﬂoating-gate器件的传感原理

* + - 1. 从这个基本概念可以看出，器件内部存储的信息基本上是模拟信息，因为阈值电压可以在两个极端值之间连续变化。这解释了最近对多级存储器的兴趣，其中使用了两个以上的状态，以便每个单元存储一个以上的比特（2*n* 状态相当于*n*比特）。这样的概念将每个比特的成本降低了*n*倍，而不需要一个更小的单元。另一方面，读出变得更加复杂，因为我们必须区分不同的单元电流值，而且可靠性问题也变得更加关键，因为两个（相邻）状态之间的可用窗口减少，必须考虑到工艺变化、电荷损失和退化效应（也见第4.4节）。

# 4.2.2 带有实例的基本定义

***4.2.2.1编程和擦除操作。*** 将信息从外部世界转移到闪存中的操作被称为编程或写操作。建立单元阵列的初始条件的操作被称为擦除操作。由于一般来说，闪存是不能用字节来改变的，所以编程和擦除的区别比EEPROM等更重要。事实上，由于闪存是按块或按 "扇区 "擦除的，擦除操作不需要像EEPROM那样快。因此，典型的擦除时间在100毫秒到1秒之间。另一方面，选择性的编程操作通常是以逐个字节或逐个字的方式进行的，这需要很短的编程时间。因此，对于一个给定的器件来说，使用两套相反的传导机制来传输电子到ﬂoating gate，较快的机制将被用作编程操作，而较慢的机制则被用作擦除机制。从本书对不同电池概念的讨论中可以看出，在比较不同电池概念时，这可能会导致混淆。当使用热电子时，编程操作对应于图4.3中阈值电压的增加，而一些基于隧道的闪存概念会有相反的约定。

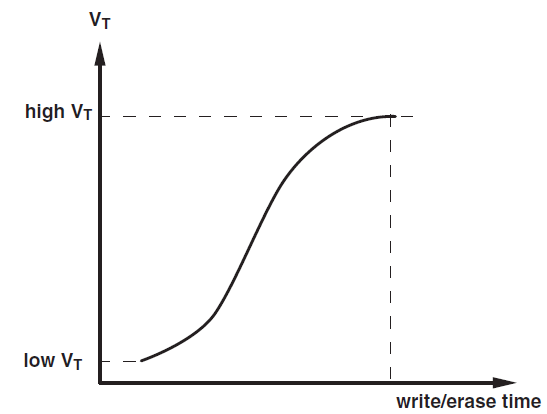


图4.3.ﬂoating-gate器件的瞬态特性。

***4.2.2.2 阈值电压窗口。***存储单元的阈值电压窗口是指在编程和擦除过程中扫过的阈值电压范围。阈值电压通常是由外部控制门定义的，当其他终端保持在与读出操作相对应的电压时，必须应用于该门以获得一定的（任意的但低的）通道电流通过该单元的电压。作为一个例子，图4.1中简单器件的阈值电压是控制门电压，例如，在源极和基底接地的情况下，对漏极施加1V电压时，对应的通道电流为1μA（假设读出时漏极电压为1V）。在某些情况下，特别是当使用额外的器件终端时（例如，三门结构和使用衬底或源偏置方案的单元），这个定义可能变得相当复杂。

在任何情况下，我们应该记住，在读出过程中，任何（正）的应用电压都会对ﬂoating栅极上的特定电荷的阈值电压窗口产生影响。最基本的例子是EPROM中已知的漏极耦合效应，它可以启动 "漏极开启"。这是由于在读出过程中漏极读出电压部分耦合到ﬂoating gate而导致的电池阈值电压的降低。

作为一个结论，这里有必要提到，所使用的一组读出电压对存储单元的阈值电压有影响。在编程或擦除状态下的阈值电压与栅极读出之间的差异通常被分别称为编程或擦除余量。考虑到统计学、耐久性和电荷损失机制，这些余量应保持足够大。

应该注意的是，从控制门和漏极操作的ﬂoating-gate器件，作为一个金属氧化物半导体（MOS）晶体管，然而，其特性略有不同。主要原因是，电池的外部控制门不直接控制晶体管通道。然而，ﬂoating栅极对晶体管通道有更直接的影响，而它只通过来自其他终端（主要是控制栅极）的电容耦合进行偏压。

因此，描述存储单元的一个主要参数是栅极耦合率，它被定义为控制栅极与激励栅极电容的比率。基本上，它量化了在任何操作模式下从控制门耦合到浮动门的控制门电压的百分比。从该控制门测得的存储单元的亚阈值斜率比膨胀门晶体管的斜率小，其系数等于该门耦合率。4.2.3节将给出一个数学处理方法。

***4.2.2.3 读出操作。***与动态随机存取存储器（DRAM）等相比，从存储器中恢复信息是通过从存储单元中抽取一定的电流来完成的，随后由感应放大器检测。该电路将（模拟）电流值转换为数字位。

***4.2.2.4 瞬态特性。***编程和擦除特性通常表现为阈值电压随时间的变化。这些特性（见图4.3）有时被称为瞬态特性，因为它们基本上描述了从一个状态到另一个状态的过渡。在某些情况下，作为时间函数的读出电流也被用来监测存储单元内容的变化。这一点特别有趣，如果

1. 外部阈值电压和读出电流之间的关系是高度非线性的。
2. 电池的结构和操作是不允许出现 "硬关闭 "状态的，这意味着即使在高阈值电压的情况下，通过电池的泄漏电流也很小（例如，使用多氧化物隧道进行擦除的分裂门电池；见4.3.2节）。
3. 设想了一种多级方法，要求在感应放大器中分离不同的电流水平。

***4.2.2.5 耐久性。***ﬂoating-gate器件的*写入/擦除循环耐力*（简称*耐力*）是主要的可靠性特征，因为它描述了电池的逐渐退化，因此，它的寿命是指在失效前可以应用的写入/擦除循环的数量。因此，耐力的一般定义可以理解为。

耐久性是指 "在反复写入/擦除循环时按照规格执行的能力" [1]。

当观察单个电池时，通常通过测量阈值电压窗口作为应用的写入/擦除周期数的函数来监测*内在的*耐久性（见图4.4）。只要高阈值电压高于读出电压，该状态下的泄漏电流就会小于定义电池阈值的通道电流（见4.2.2.2节）。另一方面，低阈值电压通常是衡量电池的读出电流，根据所考虑的电池类型，该阈值电压值不应该增加到某一数值以上，以保证有足够的读出电流。

在某些情况下，监测读出电流与周期数的关系。对于高阈值电压，通过电池的泄漏电流通常是一个更合适的退化监测器，因为亚阈值斜率被栅极耦合率降低（见第4.2.2.2节）。在使用10-20%左右的低栅极耦合率的器件的情况下（例如，使用聚氧化物隧道擦除的分裂栅极电池；见第4.3.2节），亚阈值斜率变得非常小，而且即使在亲测的阈值电压高于读出电压的情况下，也会有相当大的漏电现象流过电池。这个问题在电池循环后变得更加更加糟糕，因为在注入点的氧化物中捕获的局部电荷倾向于进一步降低阈下斜率[2]。另一方面，读出电流的下降往往比实际的窗口关闭更有意义，特别是在那些两者之间的关系是非线性的情况下。

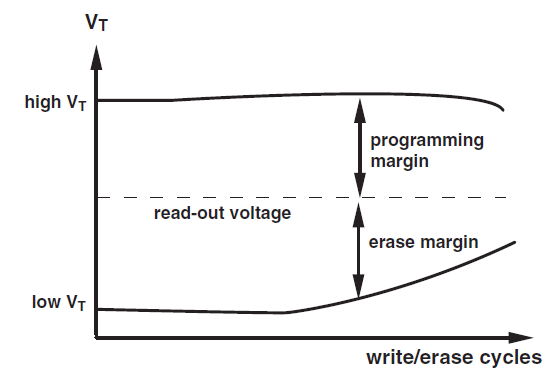
****

图4.4.ﬂoating-gate器件的耐用性特征。

一个重要的意见是，电池级的耐久性测试总是低估了电池的固有寿命，因为为了减少测试时间，在很短的时间内对电池进行了大量的循环。在实践中，循环之间会有更多的时间，而且由于恢复效应，例如电荷从氧化物中脱落，退化会放松。

外在的耐久性是在电路层面上监测的，并且根据设想的技术和/或应用，它可能与单元层面的耐久性有很大的不同。典型的例子是由于单元中的故障事件和外围电路的故障而导致的故障。下面将讨论这两个例子，以说明电路级和单元级耐用性之间的差异。

首先，电池在循环累积后可能会失效，大大低于内在耐力所预测的水平。特别是当使用高氧化膜时（使用隧道编程的设备），众所周知，故障率几乎与应用的周期数一致[3]。这意味着，存储器的尺寸越大，直到第一个单元失效的周期数就越少。与其他因素一起，这是全功能EEPROM不容易向兆位级 "升级 "的主要原因之一。另一种方法[3]，显示出更多的内在故障率，是使用增强的隧道通过多氧化物的纹理聚ﬂoating-gate（TPFG）技术。

对于闪存来说，重要的是使用隧道编程的技术将不得不考虑到非零故障率，甚至在产品寿命达到之前。这可以通过冗余方案和纠错码（ECC）部分解决，但这些措施永远无法完全排除最终的故障。在某些应用中，例如数码相机的图像存储和语音记录，非零故障率可以被接受，而在代码存储中则不能。

一般来说，我们可以说，低氧化物的注入机制，如热电子注入和（缓慢的）隧道诱导擦除的问题要少得多，电路级的耐用性应该相当接近单元级的特性（目前通常为100,000）。在最近的产品中，擦除脉冲的斜率是以这样一种方式控制的，即避免了隧道擦除的典型的非常高的峰值电场，因此，耐用性得到了很大的提高[4]。

第二个例子是电路级的耐用性与单元级的测试有很大的不同，说明了读出电路的重要性。感应放大器的跳闸点决定了被擦除的单元被检测为已经 "写入 "的电流水平。这个电流可能是也可能不是用于单元级测试的相同电流。因此，只有在特性变化和读出电路的组合不利的情况下，电池窗口的耐久性引起的变化才会产生可观察的影响。此外，人们可以通过降低跳闸点来纠正这一点，但在某些情况下，这可能会导致检测真正写入电池的访问时间增加。

一般来说，访问时间会随着读出电流的减少而增加，而这种情况发生的速度对于确定电路级别的寿命也很重要。在一些闪存技术中，通过增加擦除时间和/或擦除电压，迫使窗口尽可能长地保持开放。在这样的方案中，电路级的耐用性被最大化，以接近氧化物的磨损。

***4.2.2.6 数据存储。***ﬂoating-gate类型的非易失性存储器的最基本要求是在没有外部电源的情况下能够包含其信息。因此，电荷保持可以被定义为 “在存储条件下长时间保持有效数据的能力”。

在电池层面上，所谓的内在保留是指在没有应用外部偏置电压的情况下保留电荷的能力。这通常是通过监测高温下的阈值电压窗口与存储时间来表征的。在实践中，使用*温度加速测试*，这意味着通过使用升高的测试温度（通常为250至300°C）来增强电荷损耗。与给定的阈值电压转变相对应的烘烤时间显示为绝对温度的倒数的函数。图4.5显示了这样一个对数（时间）与1/*T的*结果，这被称为*阿伦纽斯图*。根据实际经验，我们知道这种关系很好地描述了电荷损失机制的温度依赖性。这使得在高温下取得的数据可以被额外地用于预测在室温或工作温度下会发生什么。如果标点是1/*kT*（*k*为玻尔兹曼常数），该曲线的斜率等于所考虑的测试温度范围内主导电荷损失机制的活化能*EA* 。在数学上。

*t**V t* ∼ exp( *EA* / *kT* ) (4.1)

表4.1总结了一些典型的电荷损失机制及其相关的活化能。现在对表4.1中列出的机制进行简要的讨论。更多细节，我们参考相关的参考文献。在最常见的电荷损失机制中，*内在电荷损失*具有最高的活化能。在这种情况下，本征*电荷损耗是*指储存的电子实际跳过多晶硅栅极和（隧道）氧化物之间的物理屏障。这通常显示出约1.4eV的激活能，有时也会出现这种情况，

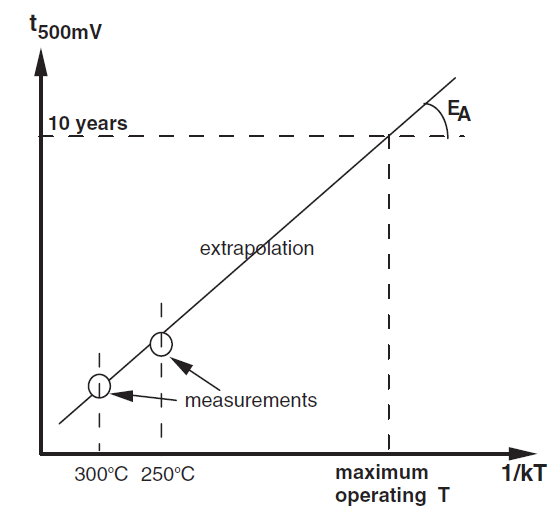


图4.5.ﬂoating-gate器件的Arrhenius图。

表4.1.文献中报道的部分电荷损失机制和相关的活化能

|  |  |  |
| --- | --- | --- |
| 失败模式 | 活化能（eV） | 参考资料 |
| 本质上的电荷损失 | 1.4 | 新纳-IRPS80 [5] |
| 氧化物缺陷 | 0.6 | 新纳-IRPS80 [5] |
| 隧道氧化物的分解 | 0.3 | Bagle-IRPS84 [6] |
| オンボール | 0.35 | Wu-IRPS90 [7] |
| 离子污染 | 1.2 | 新纳-IRPS80 [5] |
| 循环引起的电荷损失 | 1.1 | Verma-IRPS88 [8] |

例如，在只有有限数量的可能泄漏路径的单聚物浮动门电池中观察到。这种高活化能意味着在室温下的推断通常会产生一个非常长的保留时间（几个世纪或更长）。

更常见的是，电荷损失是通过氧化层的缺陷发生的，产生的活化能只有0.6eV。例如，使用多氧化物进行ﬂoating-gate-to-control-gate隔离的器件在保留测试中经常表现出这种活化能。如果隧道氧化物击穿是主要的电荷损失机制，由于隧道的低温依赖性，激活能甚至更小（0.3 eV）。许多ﬂoating-gate器件使用复合氧化物-氮氧化物（ONO）层进行ﬂoating-gate到control-gate的隔离。在这种情况下，一些复杂的电荷传输机制开始发挥作用，正如Mori等人[9]所述。事实上，除了通过底部氧化物的隧道和氮化物中的Poole-Frenkel电流外，从顶部电极到顶部氧化物的空穴注入也会导致电荷损失。在大多数情况下，在ONO层观察到的机制显示出0.35 eV的低活化能，这意味着这些机制必须得到很好的控制，以便在工作温度下不影响器件。

在某些情况下，离子杂质（移动离子）从级间电介质层或钝化层中释放出来，这导致了高温下严重的电荷损失。该机制部分是由电场驱动的，部分是由扩散驱动的，这导致了专门的技术，以确定这种机制[10]。通常，小的正离子（如碱金属）从芯片的上层迁移到硅表面，在那里它们被具有高阈值电压的电池吸引（在ﬂoating gate上有过量的负电荷）。在相关电场的吸引下，它们会向这些单元的ﬂoating gate移动，并部分补偿ﬂoating gate的（负）电荷，这导致了从控制门测量的明显的电子损失。当器件被擦除时，第二次烘烤将导致这些先前显示出电荷损失的单元中出现明显的电荷增益。这是由于扩散驱动的正离子从这些先前 "被攻击 "的ﬂoating栅极中撤出。

很明显，单多晶电池和有很大一部分ﬂoating Gate被控制门覆盖的电池更容易受到这种电荷损失的影响。相关的活化能约为1.2eV，因此，该机制在很大程度上取决于温度。此外，很明显，离子污染随着器件规模的扩大而变得更加关键，因为浮动栅极上的电子数量正随着电池尺寸的扩大而扩大。已经发现，除了减少移动离子污染水平外，这些离子的聚集（例如，在富含磷的硼磷硅酸盐玻璃（BPSG）层中[11]）是应对这一问题的有效方法。最后，值得一提的是，循环有时可以激活新的电荷损失机制。Mielke等人[3]给出了一个典型的例子，在烘烤测试中，循环后从氧化物中分离出的空穴正在降低一个典型电池的阈值电压。激活能量基本上与硅的带隙（1.12 eV）有关。

温度加速测试的主要缺点列举如下[1]。

1. 更高的温度只会加强*某些*泄漏机制。因此，永远不清楚在高测试温度下的主导机制是否在室温或工作温度下也是主导的。
2. 将数据向下推断到工作温度的有效性是有限的，因为它是基于少数数据的。事实上，为了使测试在实际限制范围内进行，在大多数情况下，温度不能降低到200℃以下，这意味着我们必须在一个比考虑的测试温度范围大得多的范围内进行推断。
3. 循环后的保留测试并不总是相关的，因为在高温下损害的部分恢复。
4. 没有偏置电压的高温测试是不现实的，因为由于读出电压导致的设备内部低电场的存在会在很大程度上影响实际的保留时间（也见4.2.2.7节）。

因此，一些作者声称要使用电荷*加速测试*，这意味着通过增加设备内部某处的电场来增强电荷损耗[12]。然而，通过增加跨越特定电介质层的电场，人们正在 "放大 "一个特定的电荷损失机制，这将不可避免地也掩盖了部分潜在的危险保留问题。例如，当增加隧道氧化膜时，机制将从直接隧道变为Fowler-Nordheim隧道，这意味着推断出

从这样的测试到低强度的测试与设备的可靠性无关（见Lanzoni等人[12]）。因此，两种测试都是必要的：无偏差的温度加速测试（被称为保留测试）和强度加速测试（更依赖于设备，进一步被称为干扰测试；见第4.2.2.7节）。

同样，电路级（或外在的）保留是阵列中最差的电池的保留行为，因此，基本上是与缺陷有关。在大多数实际情况下，所谓的不稳定电池的增强电荷损失，特别是在循环之后，是一个限制性因素。

***4.2.2.7 软写和干扰效应。***当存储单元的阈值电压在工作电压组合的影响下被无意地改变时，就会出现干扰效应。因此，关于干扰效应的*免疫力*的一般定义为"抗干扰性是指在*工作*条件下长时间保留有效数据的能力"。

请注意，我们保持了与上一节中对保留问题的定义相同的措辞，这突出了与保留问题的主要区别。扰乱效应只在操作设备时发生，因此，与保留问题有着本质的区别。换句话说，保留问题主要是指在没有电源电压的情况下存储单元的不波动性，而干扰效应是指在操作（读、写或擦除）存储器的一部分时，存储单元的内容发生不必要的变化。

软写效应。在单元层面上，只有一种干扰效应在大多数实际情况下是特别重要的，那就是在读取存储单元时的缓慢写入（阈值电压的增加）。这在文献中也被称为*软写效应*[13]。由于ﬂoating-gate单元被设计用来承受高的编程和擦除电压，较低的读出电压通常不会造成明显的电荷损失。

然而，对于使用单个晶体管通道的电池，如图4.1中描述的电池，通道热电子编程方案和读出方案仅在应用电压的*水平*上有所不同。图4.1中电池的典型条件是：编程时控制门上的电压为8至9V，漏极上的电压为4.5V（典型的热电子条件；另见4.3.3节），读出时控制门上的电压为3.3V，漏极上的电压为1V。编程条件应该在大约10μs（典型的Flash编程时间）内建立一个从2到7V的阈值电压转变，而读出条件在10年内（产品寿命）不应该引起明显的转变（例如，<0.5V）。这意味着两种条件下的注入水平相差超过14个数量级。为了实现这个幅度，漏极读出电压必须受到限制。

如果电池已经为快速编程进行了优化，那么软写效果就更差了，很明显，为了保持必要的余量，读出电压必须与编程电压一起进行调整。在一些单元中，这个问题可以通过使用分裂门器件来规避[13]。在这种类型的设计中，电压降根据操作模式集中在两个不同的通道中，实际上消除了软写现象，并将读出电压与这种可靠性约束解耦。

扰动效应。大多数干扰效应与电路有关，因为它们取决于记忆单元在记忆电路中的连接方式。我们可以将这些效应分为读出干扰、程序干扰和擦除干扰。基本上所有这些效应都源于这样一个事实，即用于完成读出、编程或擦除的电压也部分地应用于非选择的单元。

根据受到干扰影响的单元节点，我们可以区分栅极干扰和漏极干扰。由于单元的漏极连接到一个共同的位线，而栅极连接到一个共同的字线，所以有时会使用*字线干扰*和*位线干扰*这样的术语。这一点将在本节中进一步详细解释。

在读出电压的情况下，相关的干扰效应，如上面提到的软写效应，必须在器件的整个10年典型寿命期间容忍。相比之下，编程和擦除的干扰效应只需要容忍很短的时间，这是编程/擦除时间、应用编程/擦除周期的数量以及阵列大小和组织的一个函数。

扰动效应在很大程度上取决于详细的电池和电路安排，其他章节将预先介绍特定闪存技术所特有的扰动效应的性质。在本章中，图4.1的简单结构将被用来指出干扰现象的一些一般方面。

在全功能（可擦除的字节）EEPROM中，通过在存储器阵列内提供选择晶体管来尽可能地限制相关电压的影响，从而避免了编程和擦除干扰的影响。在理想的情况下，电压将只应用于寻址的字或字节。然而，在闪存的情况下，高密度要求选择器件被排除在外，干扰效应变得更加关键。例如，当对图4.1中的单元进行编程时，控制栅极为12V，漏极为5V，同一字线上的所有单元都将受到这个12V的偏压，这可能会导致被擦除的单元编程缓慢，或者由于器件内部的非零隧道电流导致被编程的单元擦除缓慢（所谓栅极干扰）。此外，与被编程单元在同一位线上的器件将经历5-V的偏压，这些单元可能由于电子从ﬂoating栅极到漏极结的隧道而被部分擦除（所谓的漏极干扰）。

假设存储器的扇区被组织成一组字行，已经可以得出结论，栅极和漏极的干扰效应必须在不同的时间内被容忍。在栅极电压为12V的情况下，*栅极*干扰时间（即这种影响可能发生的最长时间）受到编程时间和一个扇区的字数的限制。另一方面，由于没有选择晶体管，漏极电压将影响同一比特线上的所有单元。因此，这种*漏极*干扰效应出现的时间是编程时间、字行数和应用的写/擦除周期数的乘积。最后一个因素通常为100,000，这意味着编程过程中漏极干扰效应的清除时间要比栅极干扰效应的清除时间长得多。

在大多数情况下，通过适当的阵列组织和/或使用抑制电压来避免擦除干扰效应，也就是说，在擦除过程中对未选择的扇区施加额外的电压，以减少相应的干扰效应。这样做的主要原因是在闪存中使用了相当长的擦除时间。例如，图4.1中的器件通常在10μs内进行编程，并在0.1到1s内进行擦除，与编程相比，擦除期间的干扰时间要长100,000。擦除抑制电压的使用也很大程度上取决于在所考虑的技术的特定属性上，因此，超出了本章的范围。

**4.2.3 基本方程和模型**

***4.2.3.1 电容器模型。***ﬂoating-gate(FG)单元与经典MOS器件的主要区别在于存在一个含有一定量电荷的ﬂoating gate，可以通过编程和擦除操作来改变。为了描述这样的器件，需要一个适当的电容模型。漂移门存储节点与静电学中已知的一组电容器之间的本质区别是，现在允许漂移节点包含非零电荷，这是通过移动周围一个电容器的电介质来实现的（图4.6）。事实上，在经典的静电情况下，浮动节点上的净电荷是零（∑*Q*fgi = 0），因为它只能由电荷在外部影响下的位移引起。然而，如果允许周围的一个电容器将净电荷 "泄漏 "到这个节点上，电荷平衡方程中就会出现一个附加项。

 (4.2)

其中*Ci* 是节点*i*到FG的电容，Ψ*i*是相应的静电势。然后，FG的静电力势的值被发现为

 (4.3)

其中*C*tot = ∑*Ci* 是FG的总电容，*ci = Ci* /*C*tot 是不同器件节点相对于FG的耦合比。在物理上，节点*i*的耦合比是该外部节点对FG电位的相对影响（因此

*∑ci* = 1（根据定义）。

为了将公式（4.3）转换为外部施加的电压，必须引入以下关系。

**

其中，*V*app 是外部施加的电压和

(4.4)

****

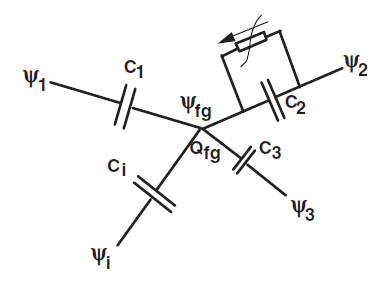
****

图4.6.电荷平衡方程的原理。漏电电容 "由一个与*C*并联的非线性电阻表示C2

其中*k*是玻尔兹曼常数，*T*是绝对温度，*q*是电子电荷（室温下*kT*/*q*=25.8 mV），*N*是掺杂水平，*ni* 是内在电子浓度（室温下=1.07 × 1010 /cm3 ）。公式（4.4）中的正号必须用于N型节点（N+ 多晶硅栅/结或P型衬底的反转），而负号则用于P型节点（P型衬底的积累）。转换（4.4）是必要的，因为电荷平衡方程（4.2），根据定义，使用静电电位，而外部施加的电压将被视为准费米电位（在反转中使用电子准费米级，在累积中使用空穴准费米级）。这两种类型的电位之间的差异是由于硅中的带状弯曲（如果适用），以及由于所考虑的节点相对于中隙的功函数造成的。术语φ*f*≈*E*g /*2q*（硅带隙的一半）用于高掺杂节点，如N+ 门。在衬底处于耗尽制度的情况下，该公式不再有效，因为准费米水平和静电势之间的差异σ在-φ*f* 和+φ*f* 之间变化。

下面以图4.1中的装置为例说明这一计算。写下公式(4.3)的编程制度，并引入公式(4.4)，得到



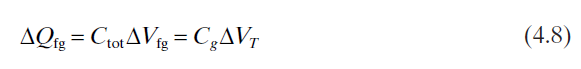
其中cg、ch和*d*分别是控制门、通道和漏极的耦合比；*V*cg 和*V*d 是编程时应用的控制门和漏极电压；而*V*ch 是平均通道电位，假设整个通道从源头到漏极都是反转的。在公式（4.6）中，最后一个重要的简化是假设电场区域是累积的，并且主体（或P阱）是接地的。如果这些假设没有得到满足（例如，在二次冲击电离启动热电子编程的情况下，使用体部偏压；见第4.3.6节），就会出现一个额外的项，考虑到膜片与FG耦合的（小）贡献。

在实践中，用外部（存储单元）的阈值电压来进行计算更为方便。因此，同样的方程式被写下来第二次，但现在是对应于阈值电压测量条件的制度。在大多数情况下，一个小电流（如1μA）被强制输入源结，同时模拟反馈电路相应地调整控制门电压，直到达到平衡。根据定义，必要的控制门电压是存储单元的阈值电压。



其中*V*th 是在ﬂoating栅极上测量的*内部*阈值电压，*VT* 是在控制栅极上测量的外部阈值电压，*V*dread 是读出过程中使用的漏极电压，Vchmeas是*VT* 测量模式下的平均通道电位。平均沟道电位的影响通常可以被忽略，因为在这些低电流水平下，沟道上的主要压降出现在靠近漏极结的地方，因此，它对FG电位的贡献非常小。

从公式(4.6)和(4.7)可以得出FG电压偏移、*VT* 偏移和FG上的电荷之间的以下重要关系。



其中*Cg* 是控制门电容。方程(4.8)只有在假设通道电位在编程过程中没有明显变化时才有效。在这种情况下，FG电压的变化与相关的阈值电压移动成正比。



或者说是。



公式（4.9）表明，一个小的门耦合比对应于一个小的电荷转移到或来自于FG，因为在实践中，外部阈值电压窗口是基于可靠性考虑而确定的（见4.2.2.5节）。公式（4.10）说明了闪存的高扩展性的基本物理原因。外部 "信号"（△*VT* ）只是存储电荷和耦合电容之间的比率的函数。当缩小单元时，这个电容的比例大约为*F*2 （其中*F*是工艺的特征尺寸）。同时，FG上的电荷也可以随着*F*2 *，而不*影响存储单元操作的利润。因此，除了一些特殊的影响，如离子污染，我们可以说，FG上的电荷与存储电容的比例是一致的，而不会真正影响到单元的可操作性和可靠性。这与例如DRAM形成了强烈的对比，在DRAM中，电容器不能被扩展到同样的程度，因为存储的电荷决定了存储器的刷新时间。这就解释了为什么DRAM技术已经朝着垂直电容集成和新的高介电常数材料发展，而闪存技术仍在使用几乎相同的器件概念。

公式（4.6）和（4.7）允许消除（未知）FG电荷，以获得外部施加的电压、耦合比和存储单元的阈值电压之间的关系。



通常，通道耦合项的贡献可以被忽略，公式(4.11)右边的第三项可以被省略。这个方程经常被用来计算FG电压的演变，从瞬态测量期间记录的阈值开始计算。为了说明静电和准费米电位之间的区别，考虑图4.1中描述的器件的擦除操作情况。擦除通常是通过在控制门上施加一个负电压，在源结上施加一个正电压来实现。在这种情况下，重复导致公式(4.11)的相同练习，可以得到



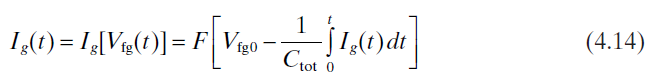
其中*s*是源-耦合比。在这种情况下，两种电势之间的差异导致了一个额外的通道耦合项。原因是公式（4.4）中额外的φ*f* 项在消除公式（4.6）和（4.7）之间的FG电荷时不再自动抵消，这是由于通道在擦除期间处于积累状态。

再次考虑公式（4.8），并对时间进行导数，结果是。

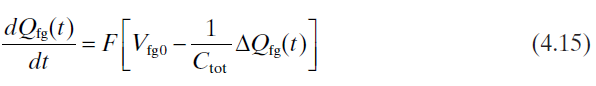


由于编程/擦除行为的瞬时测量可以得到阈值电压与时间的关系，因此可以从公式(4.13)中计算出门电流。结合公式(4.11)或(4.12)，可以计算出特定技术的门电流特性*Ig (V*fg )。

***4.2.3.2 瞬态方程。***当电子被注入到漂浮的栅极上或从漂浮的栅极注入时，漂浮的栅极电位将持续变化，因此改变了栅极电流的大小。因此，为了计算作为时间函数的阈值电压变化，必须对栅极电流进行如下积分。



在这个方程中，函数*F*描述了门电流特性*Ig (V*fg )。函数*F*的参数将FG电压改写为编程/擦除操作开始时的初始值*V*fg0 和一个积分，表示由于FG上收集的电荷而导致该初始值的变化。在公式(4.14)中，隐含的惯例是在FG上注入电流对应于一个正的栅极电流。这个方程是对浮动栅极存储器件的瞬时行为的最一般描述。唯一的假设是，FG电位的变化*完全*归因于FG电荷的变化。这并不总是如此，因为在一些擦除方案中，单元的通道在操作过程中可以从累积演变为反转，由于通道耦合而给FG电位增加一个修正项。方程（4.14）本质上是*Q*fg的一个微分方程[或者在△*V*fg 或△*VT* ；见公式（4.8）]。



函数*F*的复杂性将决定分析性解决是否可能。